

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-209902
(P2001-209902A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル(参考)
G 1 1 B 5/09	3 2 1	G 1 1 B 5/09	3 2 1 A 5 D 0 3 1
5/035		5/035	
H 0 3 H 17/06	6 3 3	H 0 3 H 17/06	6 3 3 C
	6 3 5		6 3 5 Z

審査請求 未請求 請求項の数20 O L (全 10 頁)

(21) 出願番号 特願2000-15713(P2000-15713)

(22) 出願日 平成12年1月25日(2000.1.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 田中 康之

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

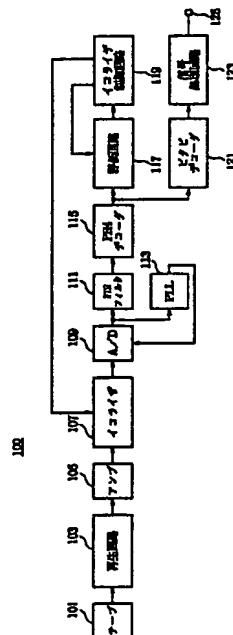
Fターム(参考) 5D031 AA01 DD01 DD08 EE08 HH11

(54) 【発明の名称】 再生装置、再生方法及び信号処理装置

(57) 【要約】

【課題】 良好な等化特性の制御を行う。

【解決手段】 再生装置は、情報信号を再生する再生手段と、前記再生手段により再生された情報信号の群遅延を制御する等化手段と、前記再生手段により再生された情報信号からデジタル信号を検出する検出手段と、前記検出手段に入力される再生情報信号と前記検出手段より出力される検出結果とを用いて前記等化手段の群遅延特性を制御する制御手段とを備える構成とした。



【特許請求の範囲】

【請求項1】 情報信号を再生する再生手段と、前記再生手段により再生された情報信号の群遅延を制御する等化手段と、前記再生手段により再生された情報信号からデジタル信号を検出する検出手段と、前記検出手段に入力される再生情報信号と前記検出手段より出力される検出結果とを用いて前記等化手段の群遅延特性を制御する制御手段とを備える再生装置。

【請求項2】 前記等化手段は更に、前記再生された情報信号の振幅を制御し、前記制御手段は更に、前記検出手段に入力される再生情報信号と前記検出手段より出力される検出結果とを用いて前記等化手段の振幅特性も制御することを特徴とする請求項1記載の再生装置。

【請求項3】 前記制御手段は、前記検出手段に入力される再生情報信号と前記検出手段より出力される検出結果とを乗算する乗算手段と、前記乗算手段の乗算結果を積分する積分手段とを有し、前記積分手段の出力に応じて前記等化手段の群遅延特性を制御することを特徴とする請求項1記載の再生装置。

【請求項4】 前記乗算手段は、前記検出手段の検出結果のうち所定サンプルの検出結果及びこの所定サンプルの前後の n サンプルの検出結果と、前記所定サンプルの検出結果に対応する前記再生情報信号とをそれぞれ乗算する $2n+1$ 個の乗算器を有し、前記積分手段は前記 $2n+1$ 個の乗算器の出力を積分する $2n+1$ 個の積分器を有することを特徴とする請求項3記載の再生装置。

【請求項5】 前記等化手段は第1の周波数帯域の群遅延特性を制御する第1の群遅延制御回路と、前記第1の周波数帯域よりも低い第2の周波数帯域の群遅延特性を制御する第2の群遅延制御回路とを有し、前記制御手段は、前記所定サンプルの $n/2$ サンプル前後のサンプルの前記積分結果に応じて前記第1の群遅延制御回路の群遅延特性を制御し、前記所定サンプルの n サンプル前後のサンプルの前記積分結果に応じて前記第2の群遅延制御回路の群遅延特性を制御することを特徴とする請求項4記載の再生装置。

【請求項6】 前記制御手段は前記所定サンプルの $n/2$ サンプル前後の前記積分結果を比較し、この比較結果に応じて前記第1の群遅延制御回路の群遅延特性を制御することを特徴とする請求項5記載の再生装置。

【請求項7】 前記制御手段は前記所定サンプルの n サンプル前後の前記積分結果を比較し、この比較結果に応じて前記第2の群遅延制御回路の群遅延特性を制御することを特徴とする請求項5記載の再生装置。

【請求項8】 前記等化手段は、第1の周波数帯域の群遅延を制御する第1の群遅延等化回路と、前記第1の周波数よりも低い第2の周波数帯域の群遅延を制御する第2の群遅延等化回路とを有し、前記第1の群遅延等化回路の群遅延特性と前記第2の群遅延等化回路の群遅延特

性とを独立に制御することを特徴とする請求項1記載の再生装置。

【請求項9】 前記第1の群遅延制御回路と前記第2の群遅延制御回路はそれぞれ、オールパスフィルタを含むことを特徴とする請求項8記載の再生装置。

【請求項10】 前記検出手段は前記情報信号と所定の閾値との比較結果に応じて前記デジタル信号を検出し、前記制御手段は更に、前記検出手段に入力される情報信号と前記検出手段の検出結果とに応じて前記閾値を制御することを特徴とする請求項1記載の再生装置。

【請求項11】 前記等化手段の出力をサンプリングし、1サンプル複数ビットのデジタル信号に変換するA/D変換器を備え、前記検出手段は前記A/D変換器から出力された信号を3値検出するデコーダを有することを特徴とする請求項1記載の再生装置。

【請求項12】 前記等化手段の出力をフィルタ処理するFIRフィルタを有し、前記制御手段は更に、前記FIRフィルタのタップ係数を制御することを特徴とする請求項1記載の再生装置。

【請求項13】 前記再生手段は磁気記録媒体から前記情報信号を再生することを特徴とする請求項1記載の再生装置。

【請求項14】 前記等化手段は積分等化回路と群遅延等化回路とを含み、前記制御手段は更に、前記積分等化回路の等化特性と前記群遅延等化回路の等化特性とを制御することを特徴とする請求項1記載の再生装置。

【請求項15】 前記等化手段により等化された再生情報信号から1サンプル1ビットのデジタル信号を検出するデータ検出手段と、前記検出手段の出力に所定の処理を施す信号処理手段とを備えたことを特徴とする再生装置。

【請求項16】 前記情報信号は符号化された画像信号を含み、前記信号処理手段は前記画像信号を復号する復号手段を含むことを特徴とする請求項15記載の再生装置。

【請求項17】 前記データ検出手段はビタビアルゴリズムを用いて前記1サンプル1ビットのデジタル信号を検出することを特徴とする請求項15記載の再生装置。

【請求項18】 前記情報信号はPR4ブリコードされており、前記等化手段により等化された情報信号をPR4デコードするデコーダを備え、前記検出手段は前記デコーダから出力される情報信号からデジタル信号を検出することを特徴とする請求項1記載の再生装置。

【請求項19】 伝送路より伝送された情報信号を入力する入力手段と、

前記入力された情報信号の群遅延を制御する等化手段と、

前記入力された情報信号からデジタル信号を検出する検出手段と、

前記検出手段に入力される情報信号と前記検出手段より

出力される検出結果とを用いて前記等化手段の群遅延特性を制御する制御手段とを備える信号処理装置。

【請求項20】 再生された情報信号をイコライザにより波形等化する方法であって、
前記再生情報信号からデジタル信号を検出し、
前記検出結果と前記検出される前の再生情報信号とに基づいて前記イコライザの群遅延特性を制御することを特徴とする再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、再生装置、再生方法及び信号処理装置に関し、特に情報信号の等化処理に関する。

【0002】

【従来の技術】この種の装置として、従来より、画像信号や音声信号をデジタル信号として磁気テープに記録再生するデジタルVTRが知られている。

【0003】デジタルVTRにおいては、再生された信号をイコライザにより等化処理することで、記録再生系における信号の劣化や、テープの種類による特性のばらつきなどを補償している。これにより、エラーの少ない再生信号を得ることができる。

【0004】また、再生信号中のエラー率に基づいてイコライザの等化特性を制御する技術も知られている。

【0005】

【発明が解決しようとする課題】前述の如くエラー率に基づいて等化特性を制御する方法は有効ではあるが、特に、エラーが少なくなり、エラー率が低下している状態では、イコライザの等化特性の影響よりもテープの欠陥によるドロップアウトの影響によるエラーの割合が支配的になってしまう。

【0006】そのため、単に一定期間のエラー率により等化特性の制御を行った場合、ドロップアウトによるエラーに基づいて等化特性を変更してしまい、かえって特性を悪くしてしまうことが考えられる。

【0007】これを避けるためには、ドロップアウトによる局所的なエラーの増加が無視できる程度まで、長い期間エラーを積算してエラー率を求める必要があり、最適な等化特性となるまで長い時間がかかってしまう。

【0008】また、等化特性を変化させて最適な特性を探す、いわゆるウォブリング法では、現状に比べてエラーが少なくなる方向はわかるものの、最適点の方向がわからないため、エラーの極小点ではあるが、最適点ではない値に制御してしまう可能性がある。

【0009】本発明は前述の如き問題点を解決することを目的とする。

【0010】また、本発明の他の目的は、良好な等化特性の制御を行う処にある。

【0011】また、本発明の更に他の目的は、ドロップアウト等の等化特性以外の影響によるエラーの変化にか

かわらず、等化特性を最適に制御可能とする処にある。

【0012】

【課題を解決するための手段】前述の如き問題を解決し、前記目的を達成するため、本発明は、情報信号を再生する再生手段と、前記再生手段により再生された情報信号の群遅延を制御する等化手段と、前記再生手段により再生された情報信号からデジタル信号を検出する検出手段と、前記検出手段に入力される再生情報信号と前記検出手段より出力されるデジタル信号とを用いて前記等化手段の群遅延特性を制御する制御手段とを備える構成とした。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて詳細に説明する。以下に説明する実施形態では、本発明を周知のデジタルVTRに適用した場合について説明する。

【0014】図1は本発明が適用されるVTR100の再生系の構成を示す図である。

【0015】図1において、再生回路103はテープ101の多数のトラックから回転ヘッドにより画像信号、音声信号、サブコード等の情報信号を再生し、アンプ105に出力する。アンプ105は再生回路からの再生信号を増幅し、イコライザ107に出力する。

【0016】イコライザ107はアンプ105からの再生信号を等化し、A/D変換器109に出力する。

【0017】図2はイコライザ107の構成を示す図である。

【0018】本形態のイコライザ107は、図2に示すように、高域強調用のフィルタ203と、低域の群遅延を制御するオールパスフィルタ205、及び、高域の群遅延を制御するオールパスフィルタ207とを有する。

【0019】増幅回路105からの再生信号は入力端子201から高域強調回路203に入力し、磁気記録再生系における高域成分の劣化を補償されてオールパスフィルタ205に出力される。高域強調回路203の周波数特性を図3に示す。本形態の高域強調回路203はイコライザ制御回路117からの制御信号EQCにより図3如くその高域の強調量を制御可能である。

【0020】オールパスフィルタ205は群遅延回路として機能し、主に磁気テープのダイパルス特性を補償するために高域強調回路203からの再生信号の低域の群遅延を調整し、オールパスフィルタ207に出力する。オールパスフィルタ205の群遅延特性を図4に示す。オールパスフィルタ205の群遅延特性は、イコライザ制御回路117からの制御信号GDLにより図4に示したように調整可能である。

【0021】オールパスフィルタ207は群遅延回路として機能し、主に高域強調回路203の遅延を補償するためにオールパスフィルタ205からの再生信号の高域の群遅延を調整し、積分器209に出力する。オールパ

スフィルタ207の群遅延特性を図5に示す。オールパスフィルタ207の群遅延特性は、イコライザ制御回路117からの制御信号GDHにより図5に示したように調整可能である。

【0022】オールパスフィルタ207から出力された再生信号は積分回路209にて積分処理されて出力端子211よりA/D変換器109に出力される。この積分回路209により直流成分の劣化が補償される。

【0023】図6はイコライザ107の全体での周波数特性を示す図である。図のように、低域成分の劣化が積分回路209により補償され、高域成分は高域強調回路203により補償される。磁気記録再生系を介して再生される信号は微分特性を持つため、図6の如き周波数特性をもつイコライザ107により積分等化を行っている。

【0024】また、図7はイコライザ107の全体での群遅延特性を示す図である。図のように、低域成分、高域成分の群遅延をそれぞれオールパスフィルタ205、207にて制御し、多少のリップルはあるものの、全体としてフラットな群遅延特性を実現している。

【0025】イコライザ107から出力された再生信号はA/D変換器109により1サンプル複数ビットのデジタル信号に変換され、FIR(Finite Impulse Response)フィルタ111及びPLL113に出力される。

【0026】PLL113はA/D変換器109からのデジタル信号に位相同期したクロックを発生し、A/D変換器109に出力する。A/D変換器109はこのPLL113からのクロックに応じてイコライザ107からの再生信号をサンプリングし、1サンプル複数ビットで量子化する。

【0027】次に、FIRフィルタ111について説明する。

【0028】図8はFIRフィルタ111の構成を示す図である。

【0029】図8において、A/D変換器109からのデジタル信号はラッチ803及び係数器811に出力される。ラッチ803、805、807、809はそれぞれPLL113からのクロックに応じて動作し、1サンプルのデジタル信号の1サンプルクロック期間保持して出力する。係数器811は入力端子801からのデジタル信号に対して所定の係数を乗算すると共に、係数器813、815、817、819はそれぞれ、ラッチ803、805、807、809から出力されるデジタル信号に対して所定の係数を乗算し、加算器821に出力する。加算器821は各乗算器811～819の出力を加算し、フィルタ結果として端子823から出力する。

【0030】図8では、係数器815がFIRフィルタ111の中心タップ係数であり、ほぼ1の値を持つ。他の係数器811、813、817、819は0を中心として正、または負の値を持つ。

【0031】また、係数器813、817の値を同時に負にすると、 $fb/2$ (fb はA/D変換器113のサンプリング周波数) 近傍の周波数のゲインが上昇し、係数器813、819の値を同時に正にすると $fb/2$ 近傍の周波数のゲインが下降する。

【0032】また、係数器811、819の係数を同時に負にすると、 $fb/4$ 近傍の周波数のゲインが上昇し、係数器811、819の係数を同時に正にすると、 $fb/4$ 近傍の周波数のゲインが下降する。

【0033】このように、係数器813、817の係数や、係数器811、819の係数を連動させて変化させることにより、FIRフィルタ111における群遅延特性をフラットに保つことができるが、係数器811、819の係数や、係数器813、817の係数をそれぞれ独立に変化させることで、群遅延特性に凹凸を付けることもでき、これを利用して群遅延特性の補償を行うこともできる。

【0034】FIRフィルタ111からの出力信号はPR4デコーダ115に出力される。

【0035】PR4デコーダ115はFIRフィルタ111からの再生信号に対してPR4のデコード処理を施し、評価回路117及びビタビデコーダ121に出力する。

【0036】本形態では、テープ101に記録されている信号は記録時のデジタル変調処理として、PR4のブリコード処理が施されて記録されている。PR4デコーダ115はこの記録時に施されたPR4ブリコード処理に対応する復調処理であるPR4のデコード処理を行う。

【0037】PR4デコーダ113の構成を図9に示す。

【0038】図9において、FIRフィルタ111からの再生信号は入力端子901から入力し、ラッチ903及び905により2クロック分遅延され、減算器907に出力される。減算器907は入力端子901からの再生信号とラッチ905からの2クロック分遅延された信号との差を求め、出力端子909に出力する。

【0039】PR4デコーダ115からの再生信号は評価回路117及びビタビデコーダ121に出力される。

【0040】評価回路117は後述の如くイコライザ107の特性を評価し、その結果をイコライザ制御回路119に出力する。

【0041】イコライザ制御回路119は評価回路117からの出力に基づき、後述の如く評価回路117にて用いる閾値を制御すると共に、イコライザ107に対する制御信号EQC、GDL及びGDHの値を制御する。

【0042】また、ビタビデコーダ121は周知のビタビアルゴリズムを用いてPR4デコーダ115の出力から1サンプル1ビットのデジタル信号を検出し、信号処理回路123に出力する。

【0043】信号処理回路123はビデオデコーダ121により得られたデジタル信号に基づいて、再生画像信号、再生音声信号を処理し、出力端子125から出力する。本形態のデジタルVTRでは画像信号や音声信号を符号化して記録再生しており、信号処理回路123はこれら画像信号や音声信号を復号する復号回路を含む。

【0044】次に、評価回路117について、詳細に説明する。

【0045】図10は評価回路117の構成を示す図である。

【0046】図10において、PR4デコーダ115から出力された再生信号は入力端子1001よりデコーダ1003及びラッチ1011に出力される。

【0047】デコーダ1003は入力された再生信号を閾値TH、-THと比較し、3値検出によりデジタル信号を検出する。具体的には、デコーダ115からのPR4信号のレベルが閾値THよりも大きければ1、-THよりも小さければ-1、-THからTHの間にあるときは0と検出する。また、このTH、-THは入力端子1005に入力されるイコライザ制御回路119からの制御信号により制御される。

【0048】デコーダ1003により3値検出されたデータはラッチ1007、1009により1クロック期間遅延され、乗算器1021A~1021Eに出力される。なお、乗算器1021A~1021Eはそれぞれ図10における検出回路1033A~1033Eの一部を構成しており、各検出回路1033A~1033Eは入力データの遅延量が異なるだけで動作は同様であるため、以下の説明では検出回路1033Aについてのみ説明し、他の検出回路1033B~1033Eについての説明は省略する。

【0049】一方、入力端子1001から入力されたPR4信号はラッチ1011、1013、1015及び1017によりそれぞれ1クロック期間遅延され、各検出回路1033B~1033Eの乗算器1021B~1021Eに出力される。

【0050】ここで、本形態では、ラッチ1011に入力されるデータ及び各ラッチ1011~1017の出力を便宜上それぞれD+2、D+1、D0、D-1、D-2と呼ぶことにする。そして、D0を時間軸の中心と考え、ラッチ1007、1009により2クロック分遅延された検出データはD0の3値検出結果であると考えることができる。

【0051】乗算器1021Aはラッチ1009により2クロック分遅延された3値検出結果と入力されたPR4信号とを乗算し、加算器1023A、スイッチ1025A及びレジスタ1027Aで構成される積分回路に出力する。スイッチ1025Aは通常は図に示すように加算器1023Aの方に接続し、入力端子1019からのタイミング信号に応じて、例えば、2048クロックに

1回、反対側に接続され、レジスタ1027Aの値をクリアする。

【0052】また、スイッチ1029Aは通常はレジスタ1031Aの出力側に接続しているが、入力端子1019からのタイミング信号より、スイッチ1025Aに連動して2048クロックに1回レジスタ1027Aの方に接続しレジスタ1027Aの積分結果を記憶する。レジスタ1031Aはバス1035に接続されており、イコライザ制御回路119内のマイコンはスイッチ1029Aの接続タイミングとは非同期の所定のタイミングでバス1035を介してレジスタ1031Aのデータを読み出すことができる。

【0053】ここで、スイッチ1025Aとスイッチ1027Aはそれぞれ2048クロック毎に切り換わり、レジスタ1031Aに積分結果を書き込んでいるが、切替タイミングは2048クロック以外でもよい。

【0054】即ち、各スイッチを1トラック期間に1回切り換えるように制御すれば、1トラック毎に積分結果を得ることができるが、これでは、1トラックに1回だけしか等化特性を補正できず、また、積分回路を構成するレジスタのビット数も大きくしなければならない。本形態ではPLL113により再生信号から41.85MHzのクロックを得ており、2048クロック期間を1つの単位として積分を行い、イコライザ制御回路119内のマイコンが適当なタイミングで1トラック期間に数回積分結果を見に行けるように構成している。

【0055】これにより、1トラックを複数の部分に分割した各部分毎の信号波形の様子を監視することができる。より細かい等化特性の制御を行うことができる。

【0056】次に、本形態における図10の評価回路による各検出データの意味について説明する。

【0057】まず、検出回路1033Cには、デコーダ1003で検出された検出結果が2クロック期間遅延されて入力されると共に、入力端子1001から入力されたPR4信号が2クロック期間遅延されて供給されているので、時間的に同じタイミングのPR4信号と3値検出結果が供給されていることになる。

【0058】そのため、検出回路1033Cは3値検出される前のPR4信号そのものの値と3値検出結果との乗算結果を積分していることになる。この積分結果はイコライザ107により波形等化されたPR4信号と、実際の検出結果であるデコーダ1003との相関の度合いであり、PR4信号のレベルそのものを反映したデータである。

【0059】検出回路1033Dには2クロック遅延された検出結果と、3クロック遅延されたPR4信号とが供給されており、検出回路1033Dからは、検出結果として、 $(D-1, D0) = (-1, 1)$ もしくは $(1, -1)$ の状態があったときのD-1に対応するPR4信号のレベルを積分した結果が得られる。この検出

結果はまた、イコライザ107により等化された信号のうちの $f_b/2$ の周波数成分のレベルを示している。

【0060】検出回路1033Bには2クロック遅延された検出結果と、1クロック遅延されたPR4信号とが供給されており、検出回路1033Bからは、検出結果として、 $(D0, D+1) = (-1, 1)$ もしくは

$(1, -1)$ の状態があったときのD+1に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、検出回路1033Dの出力と同様、イコライザ107により等化された信号のうちの $f_b/2$ の周波数成分のレベルを示しているが、時間的にD0の前と後という違いがあり、これら検出回路1033B及び1033Dの出力によりイコライザ107による等化波形の様子を把握することができる。

【0061】次に、検出回路1033Eには2クロック遅延された検出結果と、4クロック遅延されたPR4信号とが供給されており、検出回路1033Dからは、検出結果として、 $(D-2, D-1, D0) = (-1, *, 1)$ もしくは $(1, *, -1)$ の状態(*は1, 0, -1のいずれでもよい)があったときのD-2に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、イコライザ107により等化された信号のうちの $f_b/4$ の周波数成分のレベルを示している。

【0062】また、検出回路1033Aには2クロック遅延された検出結果と、遅延されていないPR4信号とが供給されており、検出回路1033Aからは、検出結果として、 $(D+2, D+1, D0) = (-1, *, 1)$ もしくは $(1, *, -1)$ の状態(*は1, 0, -1のいずれでもよい)があったときのD+2に対応するPR4信号のレベルを積分した結果が得られる。この検出結果はまた、イコライザ107により等化された信号のうちの $f_b/4$ の周波数成分のレベルを示しているが、時間的にD0の前と後という違いがあり、これら検出回路1033A及び1033Eの出力によりイコライザ107による等化波形の様子を把握することができる。

【0063】次に、前述のような評価回路117の出力を用いたイコライザ制御回路119の動作について説明する。

【0064】イコライザ制御回路119は評価回路117の出力を内部のマイコンに入力し、各検出回路1033A~1033Eの出力に基づいてイコライザ107の等化状況を判定する。そして、この判定結果によりイコライザ107に対する制御信号EQC, GDL及びGDHの値を変更する。この構成により最適な等化特性を実現する。

【0065】実際にテープから信号を再生しながら、イコライザ107の各制御信号EQC, GDL及びGDHの値を変更した際に、評価回路117の各検出回路10

33A~1033Eに出力される検出結果の様子を図11(a)~(c)に示す。

【0066】なお、図11では、各検出回路1033A~1033Eの出力をそれぞれ、a, b, c, d, eとする。また、図11において、横軸はイコライザ107に出力する各制御信号EQC, GDL及びGDHの電圧であり、右に行くほど電圧が高いことを示している。縦軸は評価回路117の各評価回路1033A~1033Eの検出出力(以下評価値)を示し、中心が0、上にいくほど値が大きいことを示している。

【0067】図のように、EQCの値を上げると、図11(a)に示すように、特にdとbが下がる。GDHを上げると、図11(c)に示すように、特にaが上がりeが下がる。また、bは多少上がり、dは多少下がる。GDLを上げると、図11(b)に示すように、aとbが上がり、eとdが下がるのはGDHと同様であるが、GDHに比べて低域の群遅延を等化しているため、aとbの連動する度合いがGDHを制御する場合よりも大きい。

【0068】本形態では、評価回路117から出力される各評価値a~cに基づき、各評価値の値が0となるよう制御信号EQC, GDL及びGDHの値を制御するものである。

【0069】次に、このような評価回路117の出力によるイコライザ制御回路119の制御動作について図12のフローチャートを用いて説明する。

【0070】図12はイコライザ制御回路119内のマイクロプロセッサによる処理を説明するためのフローチャートである。

【0071】テープからの信号の再生中に、所定のタイミングで図12の処理ループが繰り返し実行される。

【0072】まず、S1201において評価回路117から読み出した評価値cが0より大きいかを判別する。0より大きい場合にはS1203において評価回路1003の閾値TH及び-THの絶対値を所定値下げるよう制御し、また、0よりも小さい場合にはS1205において閾値TH及び-THの絶対値を所定値上げるよう制御する。

【0073】即ち、本形態では、イコライザ117による等化結果と検出結果との相関を示す検出回路1033Cの値が0付近にないと、他の検出回路1033A, 1033B, 1033D, 1033Eによる各検出結果に誤差が生じるため、デコーダ1003に与える閾値を調整して前記D0に対応するイコライザ117の出力信号のレベルを適正なレベルに合わせている。なお、本形態ではデコーダ1003の閾値を調整することでレベルを合わせているが、評価回路117の入力信号そのもののレベルを制御することも可能であり、同様の効果をもつ。

【0074】次に、S1207において、評価回路11

7から読み出したbとdの加算結果が0より大きいかを判別する。そして、0より大きい場合にはS1209においてEQCの値を所定量上げるよう制御し、また、0より小さい場合にはS1211においてEQCの値を所定量下げるよう制御する。

【0075】次に、S1213において、bとdの値を比較し、bがdよりも大きい場合にはS1215においてGDHの値を所定量下げるよう制御し、bがdよりも小さい場合にはS1217においてGDHの値を所定量下げるよう制御する。

【0076】次に、S1219においてaとeの値を比較し、aがeよりも大きい場合にはS1221においてGDLの値を所定量下げるよう制御し、aがeよりも小さい場合にはS1223においてGDLの値を所定量上げるよう制御する。

【0077】このように評価回路117の出力によりイコライザ107の群遅延特性を制御した場合の信号波形について説明する。

【0078】図13はイコライザ107にインパルス波形を入力した場合にイコライザ特性が最適であった場合の出力信号の波形を示す図である。図13に示すように、イコライザの特性が適切である場合には、出力される波形は左右対称となる。

【0079】図14は等化特性が最適ではなく、t0に対して非対称な波形となってしまう様子を示している。本形態では、GDLを制御することでイコライザ107の低域の群遅延特性を制御し、図14の矢印で示したように出力波形を制御している。

【0080】図14のt0の前後の矢印1401、1403で示した部分のレベルはそれぞれ、評価回路117の評価値a及びeに対応している。また、図11(b)に示したように、GDLの値を変更することでaの値とeの値とが反対方向に変化する。従って、イコライザ107の低域の群遅延特性をGDLにより制御することで、図14(a)あるいは(b)の如きインパルス波形を図13の如き波形に近づけることができる。

【0081】図15も図14と同様に等化特性が最適ではなく、t0に対して非対称な波形となってしまう様子を示している。

【0082】図15のt0の前後の矢印1501、1503で示した部分のレベルはそれぞれ、評価回路117の評価値b及びdに対応している。また、図11(c)に示したように、GDHの値を変更することで、bの値とdの値とが反対方向に変化する。従って、イコライザ107の高域の群遅延特性をGDHにより制御することで、図14よりもt0により近い時間の波形を1501、1503のように制御し、図15(a)あるいは(b)の如きインパルス波形を図13の如き波形に近づけることができる。

【0083】なお、図14、図15ではGDL、GDH

による制御を説明するため、別の図面にて説明したが、実際には、図11に示したように、GDL、GDHのいずれによっても評価値a、b、d、eは変化しており、また、等化された波形も図14、図15の波形を合成したものが得られる。

【0084】このように、本形態によれば、等化回路107により等化処理されたPR4信号と、評価回路117内のデコーダ1003による検出結果とに基づいてこれらの相関を求め、その結果に基づいてイコライザ107の群遅延特性を制御することで、エラー率に頼ることなく、イコライザ107そのものの等化誤差を補償するよう制御することが可能となる。

【0085】そのため、エラー率が極端に低い状態であっても正確に等化特性を制御することができ、また、ドロップアウト等の物理的要因によるエラー率の変化に対して等化特性の変化を追従させることなく、本来の最適値に等化特性を制御することが可能となる。

【0086】なお、本実施形態では、評価回路107の出力に応じてイコライザ107の振幅特性、及び、群遅延特性を制御していたが、例えば、FIRフィルタ111の係数を制御するように構成してもよい。

【0087】図8の各係数器811、813、815、817、819の係数をそれぞれ、A、B、C、D、Eとすると、係数A、B、D、Eを変化させたときの各評価値の様子を図16に示す。

【0088】図16(a)に示したように、係数Aを上げると、評価値aの値が減少する。また、係数Bを上げると図16(b)のように評価値bが減少し、eが増加する。係数Cはフィルタのゲインを調整することができる。係数Dを上げると図16(c)のようにdが減少し、aが増加する。また、係数Eを上げると図16

(d)のようにeが減少する。そして、図12のフローに従ってFIRフィルタ111の各係数を制御することでイコライザ107を制御した場合と同様に再生信号の波形を等化することができる。

【0089】また、例えば、イコライザ107の群遅延特性をGDL、GDHにより制御し、信号のレベルをFIRフィルタ111の係数Cにより制御するというように、組み合わせて制御を行うことも可能である。

【0090】また、評価回路117において、デコーダ1003は3値検出を行っていたが、これ以外にも各種の検出方法を用いることができ、例えば、ビットビデオにより検出を行ってもよい。

【0091】また、前述の実施形態では、本発明をデジタルVTRに対して適用した場合について説明したが、これ以外にも、他の記録媒体や伝送路を介して情報信号を再生する装置、構成に対して本発明を適用可能であり、同様の効果を有する。

【0092】

【発明の効果】以上説明したように、本発明によれば、

伝送状態にかかわらず、最適な等化特性を実現できる。

【図面の簡単な説明】

【図1】本発明が適用されるVTRの構成例を示す図である。

【図2】図1におけるイコライザの構成を示す図である。

【図3】図2のイコライザの周波数特性を示す図である。

【図4】図2のイコライザの群遅延特性を示す図である。

【図5】図2のイコライザの群遅延特性を示す図である。

【図6】図2のイコライザの全体の周波数特性を示す図である。

【図7】図2のイコライザの全体の群遅延特性を示す図である。

【図8】図1のFIRフィルタの構成を示す図である。

【図9】図1のPR4デコーダの構成を示す図である。

【図10】図1の評価回路の構成を示す図である。

【図11】図10の評価回路の出力によるイコライザ特性の制御の様子を示す図である。

【図12】図1のイコライザ制御回路の動作を説明するためのフローチャートである。

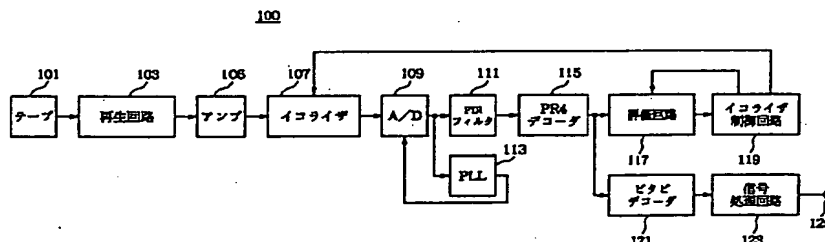
【図13】図1のイコライザの動作を説明するための図である。

【図14】本発明の実施形態によるイコライザの制御動作を説明するための図である。

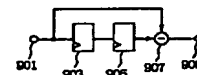
【図15】本発明の実施形態によるイコライザの制御動作を説明するための図である。

【図16】本発明の実施形態によるFIRフィルタの制御動作を説明するための図である。

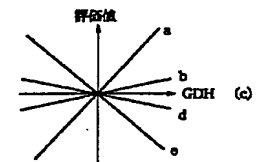
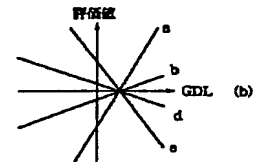
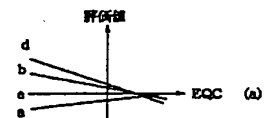
【図1】



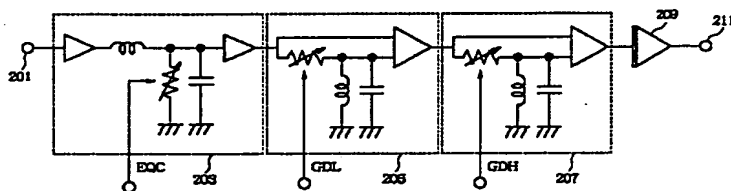
【図9】



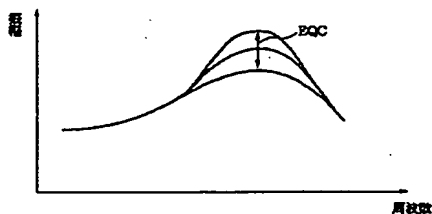
【図11】



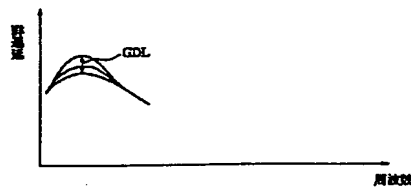
【図2】



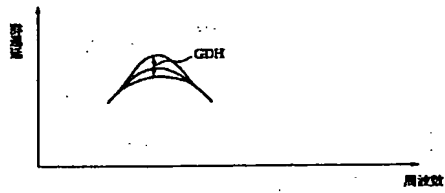
【図3】



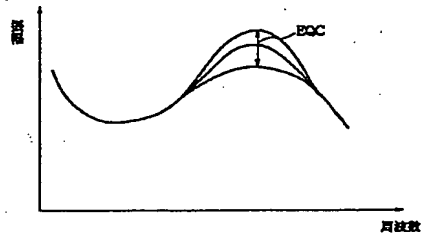
【図4】



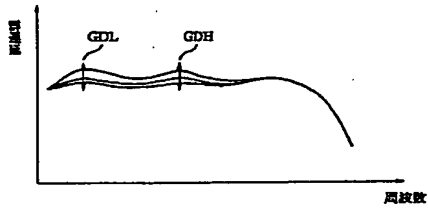
【図5】



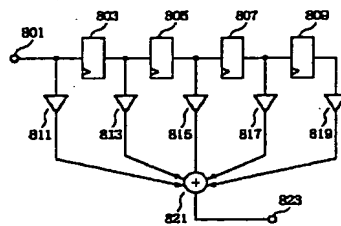
【図6】



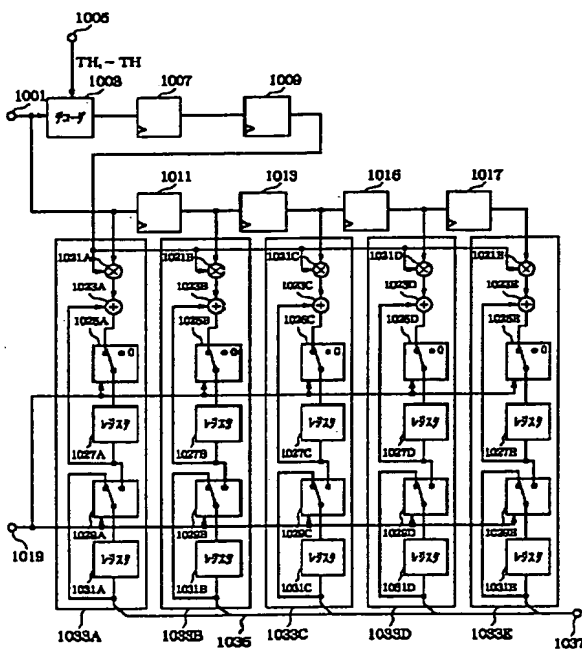
【図7】



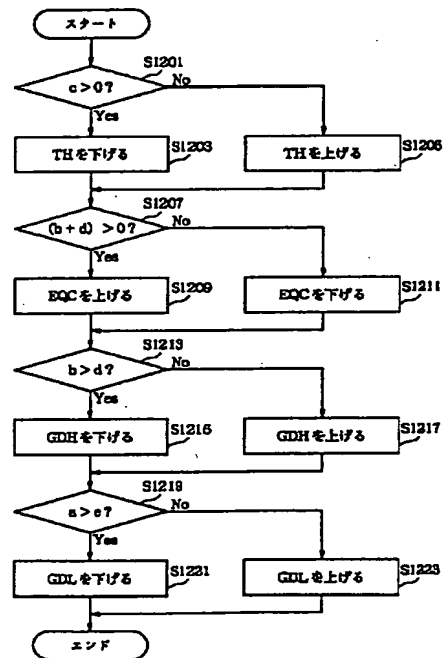
【図8】



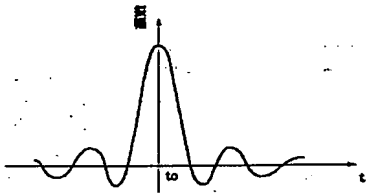
【図10】



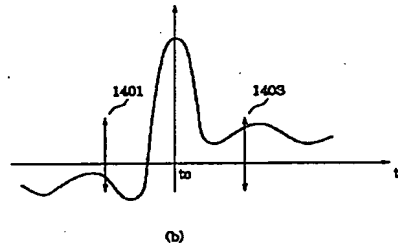
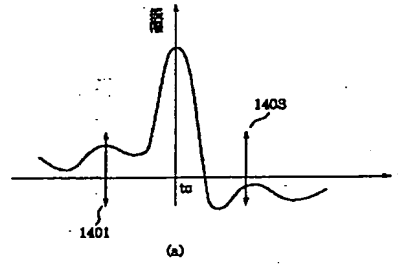
【図12】



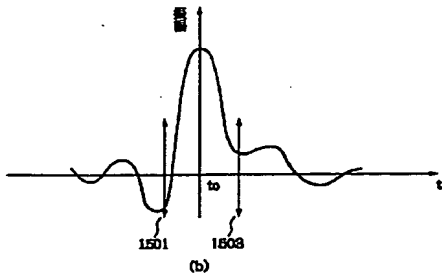
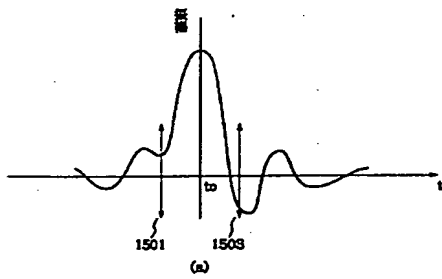
【図 13】



【図 14】



【図 15】



【図 16】

